

FORMATION OF PATTERN

Publication number: JP1140722

Publication date: 1989-06-01

Inventor: ONOZATO AKIMASA; MORI TAKAO; MIZUISHI KENICHI

Applicant: HITACHI LTD

Classification:

- International: G03C5/00; G03F7/00; G03F7/20; H01L21/30;
G03C5/00; G03F7/00; G03F7/20; H01L21/02; (IPC1-7):
G03C5/00; G03C5/24; G03F7/00; G03F7/20; H01L21/30

- european:

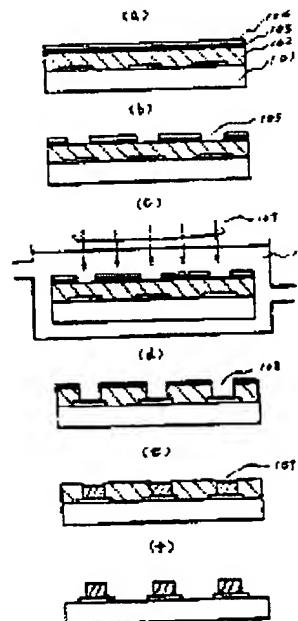
Application number: JP19870297570 19871127

Priority number(s): JP19870297570 19871127

[Report a data error here](#)

Abstract of JP1140722

PURPOSE: To form a high-accuracy pattern by a method wherein an exposure operation is executed in a developing solution by making use of a patterned light-shielding layer on a photoresist layer as a mask so that an amount of an undercut can be reduced even in a thick photoresist layer. **CONSTITUTION:** An LSI substrate 101 is immersed in a resist developing solution 106; a beam 107 is irradiated simultaneously. During this process, because a resist 102 to be used is of a positive type, only a part irradiated with the beam 107 is dissolved in the developing solution 106. While an exposure operation and a developing operation are repeated continuously, a pattern 108 for electrode formation use is formed with reference to the thick-film resist 102. That is to say, a light-shielding layer on a photoresist layer acts as a mask during the exposure operation, and only the part of the resist 102 irradiated with the beam 107 is dissolved by the developing solution. In addition, because the exposure operation is executed in the developing solution, the exposure operation and the developing operation are executed continuously. By this setup, even when the thick photoresist layer 102 is used, exposure to light is suppressed sharply in a transverse direction of a pattern edge part; accordingly, it is possible to form a high-accuracy pattern whose amount of an undercut is small.



Data supplied from the [esp@cenet](#) database - Worldwide

⑯ 公開特許公報 (A)

平1-140722

⑯ Int. Cl.

H 01 L 21/30
G 03 C 5/00
G 03 F 5/24
H 01 L 21/30

識別記号

3 6 1
3 0 1
3 3 1
1 0 1
3 0 1
3 6 1

府内整理番号

L-7376-5F
7267-2H
7267-2H
6906-2H
6906-2H
Z-7376-5F
T-7376-5F
S-7376-5F

⑯ 公開 平成1年(1989)6月1日

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 パターン形成方法

⑯ 特願 昭62-297570

⑯ 出願 昭62(1987)11月27日

⑯ 発明者 小野里 陽正

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 発明者 森 幸夫

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 発明者 水石 賢一

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 出願人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男

外1名

明細書

1. 発明の名称

パターン形成方法

2. 特許請求の範囲

1. 感光性レジスト膜のパターン形成方法において、該レジスト膜のパターン露光を現像液中で行うことを特徴とする感光性レジスト膜のパターン形成方法。

2. 特許請求の範囲第1項において、感光性レジスト膜上に形成した光遮蔽膜パターンの加工を行い、該パターンを露光、現像時のマスクとすることを特徴とする感光性レジスト膜のパターン形成方法。

3. 特許請求の範囲第1項又は第2項に記載のパターン形成方法において、露光中に現像液の供給及び排出が繰り返されることを特徴とする感光性レジスト膜のパターン形成方法。

4. 特許請求の範囲第2項記載のものにおいて、上記光遮蔽膜はAム、Cム、Tムから選ばれる一種からなることを特徴とするレジスト膜のバ

ターン形成方法。

3. 発明の詳細な説明

〔適用上の利用分野〕

本発明は感光性レジストのパターン形成方法に係り、特に10μmを越えるような厚いレジスト膜のパターン加工を高精度で行うのに好適な露光及び現像方法を用いたパターン形成方法に関する。

〔従来の技術〕

従来は特開昭54-92061に記載のように、フォトレジスト上に遮光層を設け、露光、現像を逐次行う方法となっていた。これらは通常、レジスト膜厚が数ミクロンの範囲で行われている。10μm以上の厚膜パターン形成については電子材料、1985年10月号35頁から39頁に記載されているように、ドライフィルムレジストが多く使用されている。

〔発明が解決しようとする問題点〕

上記従来技術はフォトレジスト層の厚膜化に対する配慮がなされておらず、10μmを越えるようなフォトレジスト層の高精度なバーニングが

困難であつた。すなわち、従来の露光、現像方式では厚膜レジスト全体を露光させるために長時間の露光が必要となる。この時、パターンの横方向への光の拡がりによりマスク端近傍も露光するために、現像後はアンダーカット量の極めて大きなパターンとなる。

本発明の目的は、厚いフォトレジスト層においてもアンダーカット量が小さく、高精度のパターン加工が可能なパターン形成方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、フォトレジスト層上にパターン形成した遮光層をマスクとして、現像液中で露光を行うことにより、達成される。

〔作用〕

フォトレジスト層上の遮光層は露光時のマスクとして作用し、光を照射したレジスト部のみが現像液で溶解する。さらに、現像液中で露光のために露光と現像が連続的に進行する。これにより厚いフォトレジスト層を用いてもパターンエッ

ジングのパターン加工は化学エッティング(エッティング液: リン酸、硝酸、酢酸、水 混液)により実施した。次に、第1図(c)に示すように、LSI基板101をレジスト現像液106に浸漬し、同時に光107を照射した。ここで使用したレジストはポジ型のため、光が照射された部分のみが現像液106中に溶解する。このような露光、現像を連続的に繰り返すことにより第1図(d)に示すような厚膜レジストに対し電極形成用パターン108の加工を行つた。次に電着法(選択電気めつき)により第1図(e)に示すようにバンプ電極109を形成した。さらに不要部レジストを除去し、第1図(f)に示すようなバンプ電極パターンを形成した。本工程ではバンプ電極を電着法で行つたが、蒸着リフトオフ法を用いても同様の電極パターン形成が可能である。

通常のフォトリソグラフィ工程ではフォトレジスト層の厚膜化に従つてパターン形成が困難になる。例えば、50μmの厚さのフォトレジスト膜のパターン加工を行つた場合、そのサイド現像量

チ部横方向の露光が大幅に抑えられるため、アンダーカット量の小さな高精度のパターン加工が可能となる。

〔実施例〕

以下、本発明の一実施例を第1図(a)~(f)により説明する。

第1図はCCB(Controlled Collapse Bonding)実装用バンプ電極形成プロセスの工程図である。まず、第1図(a)に示すようにLSI基板101上にポジ型レジスト102(例えば、シリコン社製、TF-20)を塗布した。突起電極の高さにより塗布膜厚を制御し、ここでは20~150μmの範囲に設定した。次いで、フォトレジスト膜102上に光遮蔽膜103として厚3000ÅのAを蒸着膜を被着した。さらに光遮蔽膜103をパターンングするために厚さ1μmのフォトレジスト膜104を形成した。このフォトレジスト膜104のパターン加工は第1図(b)に示すように通常のホトリソグラフィ加工に従つて行い、バンプ電極形成用パターン105を形成した。この光

は15μm以上となる。またレジスト膜の厚さに比例してサイド現像量が増加するためパターンの高精度加工が不可能となる。

本実施例によれば、レジスト膜厚が50μmの場合、そのサイド現像量は5μm以下であつた。また、レジスト膜厚を更に増加(~150μm)しても、サイド現像量の増加は僅かであり、厚膜レジスト加工の高精度化において極めて大きな効果がある。さらに、アスペクト比(膜厚/パターン加工寸法)の高いパターン加工が可能であり、バンプ電極の高信頼度化に効果がある。また、これらのパターン加工は他の厚膜パターン加工(例えばメタルマスクを用いたCCBバンプ電極形成)に比べて、電極間のピッチを大幅に短縮できるため、バンプ電極の高密度化が図れる効果がある。

〔発明の効果〕

本発明によれば、10μm以上の厚膜レジストにおいてアンダーカット量の小さな高精度のパターンングができるため、加工パターンの高アスペクト比の効果がある。さらに、ホトリソグラフィ

を用いた厚膜加工では加工パターンの微細化が容易に行えるため、パターンの高密度化に対して大きな効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すパターン形成方法の工程図である。

101…LSI基板、102…厚膜レジスト、
103…光遮蔽膜、104…薄膜レジスト、105…開口パターン、106…現像液、107…光、
108…電極形成用パターン、109…突起電極。

代理人 弁理士 小川勝男

第1図

